



## NOTICE TO SUBMIT RESPONSE

### Patent Applicant

Name: Fairchild Korea Semiconductor Co., Ltd. (Applicant Code:  
119990252056)  
Address: 82-3 Dodang-dong, Wonmi-gu, Pucheon-City,  
Kyunggi-do, Korea

### Attorney

Name: Young-pil Lee et al.  
Address: 2F Cheonghwa Bldg., 1571-18 Seocho-dong, Seocho-ku, Seoul,  
Korea

Application No.: 10-2001-0002166

Title of the Invention: High Voltage Semiconductor Device Having High Breakdown  
Voltage and Method of Fabricating the Same

According to Article 63 of the Korean Patent Law, the applicant is notified that the present application has been rejected for the reasons given below. Any Argument or Amendment which the applicant may wish to submit, must be submitted by March 30, 2002. An indefinite number of one-month extensions in the period for submitting a response may be obtained upon request, however no official confirmation of the acceptance of a request for an extension will be issued.

### Reasons

The invention as claimed in claims 1-7 could have been easily invented by one of ordinary skill in the art prior to the filing of the application, and thus this application is rejected according to Article 29(2) of the Korean Patent Law.

The present invention is characterized by a high voltage bipolar transistor having a trench that pierces through a base area formed on a low concentration collector area and a method of fabricating the same. However, Japanese Laid-open Patent Publication No. hei 4-323832 discloses a bipolar transistor having a trench that pierces through a base layer and a portion of a low concentration collector layer. Thus, the present invention is similar to the cited reference in structure of the bipolar transistor.

RECEIVED  
MAY - 1 2003  
T C 2800 MAIL ROOM

Enclosure: Japanese Laid-open Patent Publication No. hei 4-323832 (November 13, 1992)

30 January 2003

Kwan-sik Kim/Examiner  
Semiconductor Part 2  
Examination Division 4  
Korean Industrial Property Office

발송번호 : 9-5-2003-003747370  
발송일자 : 2003.01.30  
제출기일 : 2003.03.30

수신 : 서울 서초구 서초3동 1571-18 청화빌딩 2  
층  
이영필 귀하  
137-874

특허청  
의견제출통지서

출원인 명칭 페어차일드코리아반도체 주식회사 (출원인코드: 119990252056) 903  
주소 경기 부천시 원미구 도당동 82-3

대리인 성명 이영필 외 1명  
주소 서울 서초구 서초3동 1571-18 청화빌딩 2층

출원번호 10-2001-0002166

발명의 명칭 높은 브레이크다운 전압을 갖는 고전압 반도체 소자 및 그제조방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지합니다. 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제 1-7 항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자(당업자)가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것으로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

-아래-

본원은, 저농도 컬렉터 영역위에 형성된 베이스 영역을 관통하도록 형성된 트랜치를 갖는 고전압 바이폴라 트랜지스터 및 그 제조 방법에 특징이 있으나,  
이는 일본국 공개특허공보 평4-323832호에서 베이스 층과 저농도 컬렉터 층의 일부를 관통하도록 형성된 트랜치를 갖는 바이폴라 트랜지스터의 구성과 유사합니다.

[첨부]

첨부1 일본공개특허공보 평04-323832호(1992.11.13) 1부 끝.

2003.01.30

특허청

심사4국

반도체2심사담당관실

심사관 김관식



0415200

<<안내>>

문의사항이 있으시면 ☎ 042-481-5751 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지([www.kipo.go.kr](http://www.kipo.go.kr))내 부조리신고센터

## SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Patent Number: JP4323832

Publication date: 1992-11-13

Inventor(s): SUDA KAKUTAROU; others: 02

Applicant(s): MITSUBISHI ELECTRIC CORP

Requested Patent:  JP4323832

Application Number: JP19910122616 19910423

Priority Number(s):

IPC Classification: H01L21/331; H01L29/73; H01L21/76; H01L29/205

EC Classification:

Equivalents: JP2758509B2

---

### Abstract

---

PURPOSE: To provide electrical isolation from an adjacent element and reduce steps between a base electrode and emitter/collector electrodes in a hetero bipolar transistor having a base layer which has a narrower energy band gap than a collector layer and an emitter layer.

CONSTITUTION: An emitter layer 5 is also formed on an epitaxial layer 3 other than a base layer forming region. Trench-type element isolation layers 10 which reach a semiconductor substrate 1 from the surfaces of the emitter layers 5 are formed and, further, a trench-type collector-base isolation layer 11 which reaches the epitaxial layer 3 from the surface of the emitter layer 5 in a region which includes at least a part of the base layer 4.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-323832

(43)公開日 平成4年(1992)11月13日

(51) Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/331 29/73 21/76 29/205	L 9169-4M 7377-4M 7377-4M		H 01 L 29/72	

審査請求 未請求 請求項の数2(全6頁)

(21)出願番号 特願平3-122616  
(22)出願日 平成3年(1991)4月23日

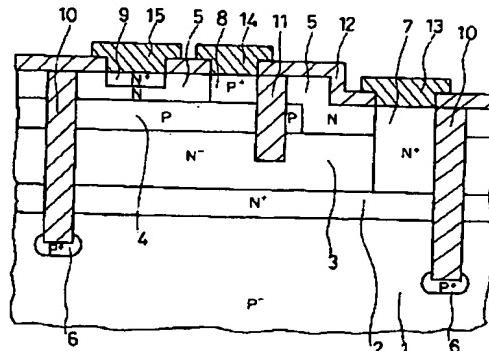
(71)出願人 000006013  
三菱電機株式会社  
東京都千代田区丸の内二丁目2番3号  
(72)発明者 須田 核太郎  
兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社エル・エス・アイ研究所内  
(72)発明者 木下 靖史  
兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社エル・エス・アイ研究所内  
(72)発明者 池田 龍彦  
兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社エル・エス・アイ研究所内  
(74)代理人 弁理士 早瀬 慎一

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 コレクタ層及びエミッタ層よりもエネルギー  
バンドギャップの狭いベース層を有するヘテロバイポー  
ラトランジスタにおいて、隣接する素子と電気的絶縁を行  
い集積回路を構成するとともに、ベース電極14及び  
エミッタ電極15と、コレクタ電極13間の段差を軽減す  
る。

【構成】 ベース層形成領域以外のエピタキシャル層3  
上にもエミッタ層5を形成し、エミッタ層5表面から半  
導体基板1に達する深さの溝型素子分離層10を形成す  
るとともに、少なくともベース層4の一部を含む領域に  
エミッタ層5表面から上記エピタキシャル層3に達する  
深さの溝型コレクタ・ベース分離層11を形成する。



- |                 |                  |
|-----------------|------------------|
| 1:P+型半導体基板      | 10:溝型素子分離層       |
| 2:N+型エミッタ埋め込み層  | 11:溝型コレクタ・ベース分離層 |
| 3:N+型エピタキシャル層   | 12:酸化膜           |
| 4:P+型ベース層       | 13:コレクタ電極        |
| 5:N型エミッタ層       | 14:ベース電極         |
| 6:P+型チャーチルカム層   | 15:エミッタ電極        |
| 7:N+型コレクタコンタクト層 |                  |
| 8:P+型ベースコンタクト層  |                  |
| 9:N+型エミッタコンタクト層 |                  |

## 【特許請求の範囲】

【請求項1】 第1導電型の半導体基板上に第2導電型のコレクタ層及びエピタキシャル層が順次積層され、その上に第1導電型のベース層を介して第2導電型のエミッタ層が積層され、上記ベース層のエネルギー・バンドギャップが上記コレクタ層及びエミッタ層よりも大きい構造を有する半導体装置において、半導体基板全面に形成されたコレクタ層及びエピタキシャル層と、該エピタキシャル層表面の一部の領域に形成されたベース層と、該ベース層及び、上記エピタキシャル層の上記ベース層が形成されていない領域に設けられたエミッタ層と、隣接する素子との間に、上記基板表面から上記各層を貫通して設けられた溝型素子分離層と、上記ベース層の一部を含む基板表面領域から上記エピタキシャル層に到る領域にかけて設けられた溝型コレクタ・ベース分離層とを備えたことを特徴とする半導体装置。

【請求項2】 第1導電型の半導体基板上に第2導電型のコレクタ層及びエピタキシャル層が順次積層し、その上に第1導電型のベース層を介して第2導電型のエミッタ層を積層し、上記ベース層のエネルギー・バンドギャップが上記コレクタ層及びエミッタ層よりも大きい材料のものが用いられた半導体装置を製造する方法において、第1導電型の半導体基板上に第2導電型の高濃度不純物埋め込み層（コレクタ層）及び、第2導電型のエピタキシャル層を積層する工程と、上記エピタキシャル層上の所定領域に、上記半導体基板よりもエネルギー・バンドギャップが狭い第1導電型の半導体膜（ベース層）を形成する工程と、上記エピタキシャル層上及び上記ベース層上に、第2導電型の半導体膜（エミッタ層）を形成する工程と、隣接する素子近傍の素子分離領域に上記エミッタ層の表面から上記半導体基板に達する深さの溝型素子分離を形成する工程と、上記ベース層の少なくとも一部を含むように、上記エミッタ層の表面から上記エピタキシャル層に達する深さの溝型コレクタ・ベース分離を形成する工程とを含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は半導体装置およびその製造方法に関し、特にヘテロバイポーラトランジスタの素子分離技術に関するものである。

## 【0002】

【従来の技術】 図9はベース層の材料に、コレクタ及びエミッタの材料よりもエネルギー・バンドギャップの狭い半導体を用いた、いわゆるダブルヘテロ構造トランジスタを従来の技術によって形成したものの断面構造図である。従来の技術では図9に示すようにP<sup>-</sup>型半導体基板1上にN<sup>+</sup>型不純物埋め込み層2及びN<sup>-</sup>エピタキシャル層3が形成されており、その上に上記P<sup>-</sup>半導体基板1よりもエネルギー・バンドギャップの狭いP型半導体膜

4（以下ベース層と呼ぶ）が形成され、さらにその上に上記P<sup>-</sup>型半導体基板1と同じエネルギー・バンドギャップのN型半導体膜5（以下エミッタ層と呼ぶ）が形成されている。

【0003】 そして、上記N<sup>-</sup>エピタキシャル層3の上記ベース層4形成領域以外の領域ではベース層4形成領域よりも膜厚が薄くなってしまい、このN<sup>-</sup>型エピタキシャル層3の薄い領域の一部に上記N<sup>+</sup>型不純物埋め込み層2に達する深さのN<sup>+</sup>型コレクタコンタクト層7が形成され、また上記エミッタ層5の一部に上記ベース層4に達する深さのP<sup>+</sup>型ベースコンタクト層8が形成され、上記エミッタ層5のベースコンタクト層8が形成された以外の領域の一部にベース層4に達しない深さのN<sup>+</sup>型エミッタコンタクト層9が形成され、上記コレクタ、ベース、エミッタ各コンタクト層7、8、9形成領域以外のN<sup>-</sup>型エピタキシャル層3、ベース層4、エミッタ層5の表面は酸化膜12で覆われており、さらにコレクタ、ベース、エミッタ各コンタクト層7、8、9上には、コレクタ、ベース、エミッタ各電極13、14、15が形成されている。なお、上記説明中、P型及びN型の右肩に付した<sup>+</sup>は高不純物濃度を、<sup>-</sup>は低不純物濃度をそれぞれ示すものである。

## 【0004】

【発明が解決しようとする課題】 従来の半導体装置は以上のように構成されているので、同一半導体基板上に複数のトランジスタを形成して集積回路を構成する場合に、まず、埋め込みコレクタ層であるN<sup>+</sup>型不純物埋め込み層2が共通となり、素子間の電気的分離ができないという問題があった。また、ベース及びエミッタ電極と、コレクタ電極間に段差があるため、この段差部での配線の断線やエッチング残渣、段差上下でのフォトリジスト露光時のフォーカスズレ等のために製造精度にばらつきが生じる等の問題があった。

【0005】 この発明は上記のような問題点を解消するためになされたもので、素子間の電気的分離を行うことができ、かつ半導体表面に大きな段差を生じず製造精度にばらつきのない半導体装置及びその製造方法を提供することを目的とする。

## 【0006】

【課題を解決するための手段】 この発明に係る半導体装置は、ベース層形成領域以外のエピタキシャル層上に形成されたエミッタ層と、該エミッタ層表面から半導体基板に達する深さで形成された溝型素子分離層と、少なくともベース層の一部を含む領域にエミッタ層表面から上記エピタキシャル層に達する深さに形成された溝型コレクタ・ベース分離層とを備えたものである。

【0007】 またこの発明に係る半導体装置の製造方法は、ベース層形成領域以外のエピタキシャル層上にもエミッタ層を形成し、該エミッタ層表面から半導体基板に達する深さの溝型素子分離層を形成するとともに、少な

くともベース層の一部を含む領域にエミッタ層表面から上記エピタキシャル層に達する深さの溝型コレクタ・ベース分離層を形成するようにしたものである。

## 【0008】

【作用】この発明における半導体装置によれば、上記溝型素子分離によって素子間の電気的分離が図れるとともに、ベース層形成領域以外のエピタキシャル層上にもエミッタ層が形成されているため半導体表面の段差が軽減される。

【0009】またこの発明における半導体装置の製造方法によれば、ベース層形成領域以外のエピタキシャル層上にもエミッタ層が形成されているため半導体表面の段差が軽減され、段差部による配線の断線やエッチング残渣、段差上下でのフォトレジスト露光時のフォーカスズレ等が低減される。

## 【0010】

【実施例】図1は本発明の一実施例による半導体装置(ダブルヘテロ構造トランジスタ)の断面構造図であり、P<sup>-</sup>型半導体基板1上にN<sup>+</sup>型不純物埋め込み層2及びN<sup>-</sup>型エピタキシャル層3が形成され、その上のー部分にP<sup>-</sup>型半導体基板1よりもエネルギー・バンドギャップの狭いP型ベース層4が形成され、P型ベース層4とN<sup>-</sup>型エピタキシャル層3の上にP<sup>-</sup>型半導体基板1と同じエネルギー・バンドギャップのN型エミッタ層5が形成されている。さらに、トランジスタの外周にはエミッタ層5の表面からP<sup>-</sup>型半導体基板1に達する深さの溝型素子分離層10が形成されており、溝型素子分離10の底にはP<sup>+</sup>チャネルカット層6が形成されており、また少なくともベース層4の一部分を含む領域にエミッタ層5の表面からN<sup>-</sup>型エピタキシャル層3に達する深さの溝型コレクタ・ベース分離層11が形成されている。

【0011】以下、図2ないし図8を用いて製造方法について説明する。図2はP<sup>-</sup>型半導体基板1上にN<sup>+</sup>型不純物埋め込み層2と、その上にN<sup>-</sup>型エピタキシャル層3が形成された状態を示す。そして図に示すように、N<sup>-</sup>型エピタキシャル層3上の予め定められた領域に、P<sup>-</sup>型半導体基板1よりもエネルギー・バンドギャップの狭いP型ベース層4を形成する。

【0012】次に図4に示すように、上記P型ベース層4及びN<sup>-</sup>型エピタキシャル層3上に、P<sup>-</sup>型半導体基板1と同じエネルギー・バンドギャップのN型エミッタ層5を形成する。

【0013】そして図5に示すように、トランジスタ領域外周の素子分離領域となる領域に、エミッタ層5の表面からP<sup>-</sup>型半導体基板1に達する深さの溝型素子分離層10を形成し、さらに溝型素子分離10の底にP<sup>+</sup>型チャネルカット層6を形成する。なお、溝型素子分離層10の材料としては酸化膜等の絶縁材料を用いる。

## 【0014】そして図6に示すように、少なくとも上記

ベース層4の一部分を含む領域に、エミッタ層5の表面からN<sup>+</sup>型エピタキシャル層3に達する深さの溝型コレクタ・ベース分離層層11を形成する。なお、溝型コレクタ・ベース分離層11の材料も上記溝型素子分離層10と同様、絶縁材料を用いる。

【0015】次に図7に示すように、コレクタコンタクト16、ベースコンタクト17、エミッタコンタクト18の各領域を除くN型エミッタ層5の表面及び溝型素子分離層10と溝型コレクタ・ベース分離層11の表面に酸化膜12を形成する。

【0016】そして図8に示すように、上記コレクタコンタクト16部分に、N型エミッタ層5の表面からN<sup>+</sup>型不純物埋め込み層2に達する深さのN<sup>+</sup>型コレクタコンタクト層7を形成し、またベースコンタクト17部分にN型エミッタ層5の表面からP型ベース層4に達する深さのP<sup>+</sup>型ベースコンタクト層8を形成し、さらにエミッタコンタクト18部分にN型エミッタ層5の表面からP型ベース層4に達しない深さのN<sup>-</sup>型エミッタコンタクト層9を形成する。

【0017】以後、コレクタ、ベース、エミッタ各コンタクト7、8、9上にそれぞれコレクタ、ベース、エミッタ各電極13、14、15を形成して図1の構造とする。

【0018】このように本実施例によれば、ベース層形成領域以外のエピタキシャル層3上にもエミッタ層5を形成し、該エミッタ層5表面から半導体基板1に達する深さの溝型素子分離層10を形成するとともに、少なくともベース層4の一部を含む領域にエミッタ層5表面から上記エピタキシャル層3に達する深さの溝型コレクタ・ベース分離層11を形成したから、基板上にコレクタ層2が全面に形成されていても隣接する素子とは溝型素子分離層10で分離することができるとともに、ベース層4形成領域以外のエピタキシャル層4上にもエミッタ層5が形成されているため、ベース電極14及びエミッタ電極15と、コレクタ電極13間の段差が軽減され、この段差部での配線の断線やエッチング残渣、段差上下でのフォトレジスト露光時のフォーカスズレ等が低減され、製造精度を向上させることができる。

## 【0019】

【発明の効果】以上のように、この発明に係る半導体装置によれば、上記溝型素子分離によって素子間の電気的分離が図れるとともに、ベース層形成領域以外のエピタキシャル層上にもエミッタ層が形成されているため半導体表面の段差が軽減され、高密度な集積回路を得ることができるという効果がある。

【0020】またこの発明における半導体装置の製造方法によれば、ベース層形成領域以外のエピタキシャル層上にもエミッタ層が形成されているため半導体表面の段差が軽減され、段差部による配線の断線やエッチング残渣、段差上下でのフォトレジスト露光時のフォーカスズレ等が低減される。

れ等が低減され、が構成できる。また、ベース層形成領域以外のN<sup>-</sup>型エピタキシャル層上にもN型エミッタ層を形成したので、半導体表面の段差が軽減され、段差部での配線の断線やエッチング残渣がなく、段差上下での形状寸法の差も軽減され、安定で信頼性の高い半導体装置を得ることができるという効果がある。

## 【図面の簡単な説明】

【図1】この発明の一実施例による半導体装置の断面構造図である。

【図2】この発明の一実施例による半導体装置の製造方法における主要工程毎の断面構造図である。

【図3】この発明の一実施例による半導体装置の製造方法における主要工程毎の断面構造図である。

【図4】この発明の一実施例による半導体装置の製造方法における主要工程毎の断面構造図である。

【図5】この発明の一実施例による半導体装置の製造方法における主要工程毎の断面構造図である。

【図6】この発明の一実施例による半導体装置の製造方法における主要工程毎の断面構造図である。

【図7】この発明の一実施例による半導体装置の製造方法における主要工程毎の断面構造図である。

【図8】この発明の一実施例による半導体装置の製造方

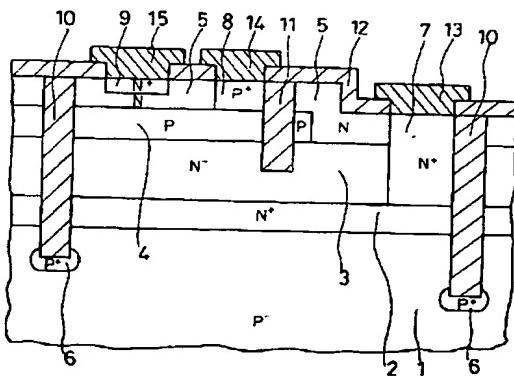
法における主要工程毎の断面構造図である。

【図9】従来技術の半導体装置の断面構造図である。

## 【符号の説明】

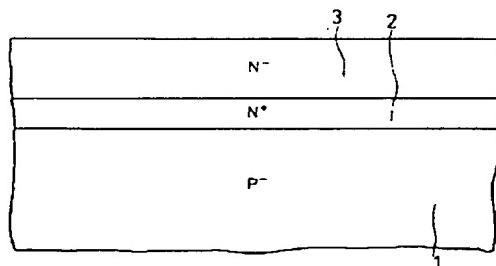
- |    |                            |
|----|----------------------------|
| 1  | P <sup>-</sup> 型半導体基板      |
| 2  | N <sup>+</sup> 型不純物埋め込み層   |
| 3  | N <sup>-</sup> 型エピタキシャル層   |
| 4  | P型ベース層                     |
| 5  | N型エミッタ層                    |
| 6  | P <sup>+</sup> 型チャネルカット層   |
| 7  | N <sup>+</sup> 型コレクタコンタクト層 |
| 8  | P <sup>+</sup> 型ベースコンタクト層  |
| 9  | N <sup>+</sup> 型エミッタコンタクト層 |
| 10 | 溝型素子分離層                    |
| 11 | 溝型コレクターベース分離層              |
| 12 | 酸化膜                        |
| 13 | コレクタ電極                     |
| 14 | ベース電極                      |
| 15 | エミッタ電極                     |
| 16 | コレクタコンタクト                  |
| 17 | ベースコンタクト                   |
| 18 | エミッタコンタクト                  |

【図1】

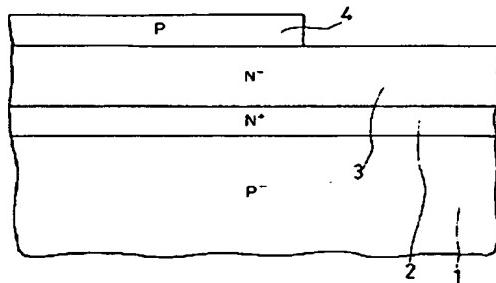


- |                              |                  |
|------------------------------|------------------|
| 1:P <sup>-</sup> 型半導体基板      | 10:溝型素子分離層       |
| 2:N <sup>+</sup> 型不純物埋め込み層   | 11:溝型コレクターベース分離層 |
| 3:N <sup>-</sup> 型エピタキシャル層   | 12:酸化膜           |
| 4:P型ベース層                     | 13:コレクタ電極        |
| 5:N型エミッタ層                    | 14:ベース電極         |
| 6:P <sup>+</sup> 型チャネルカット層   | 15:エミッタ電極        |
| 7:N <sup>+</sup> 型コレクタコンタクト層 |                  |
| 8:P <sup>+</sup> 型ベースコンタクト層  |                  |
| 9:N <sup>+</sup> 型エミッタコンタクト層 |                  |

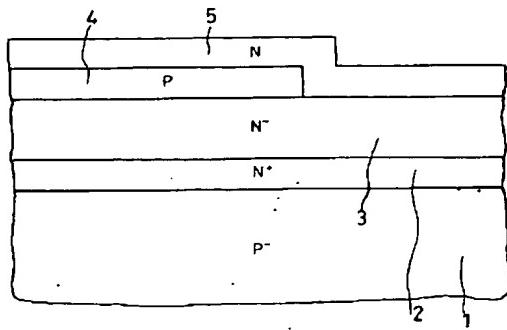
【図2】



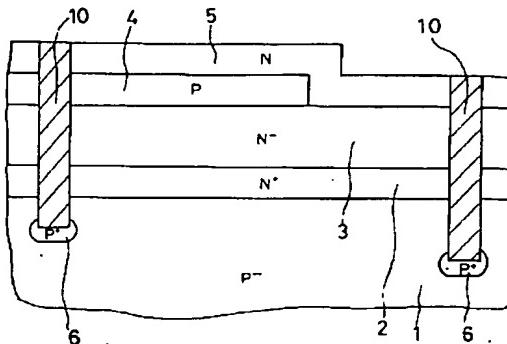
【図3】



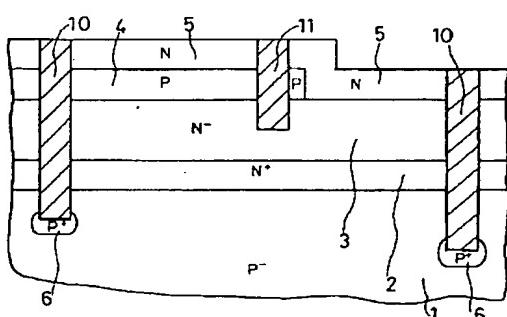
【図4】



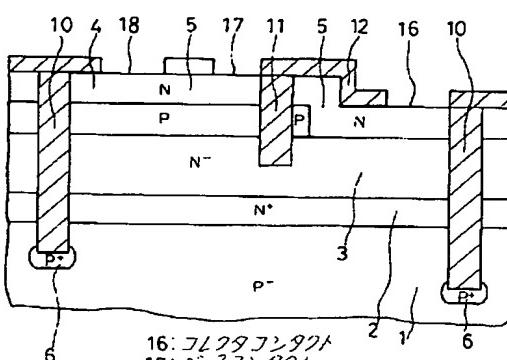
【図5】



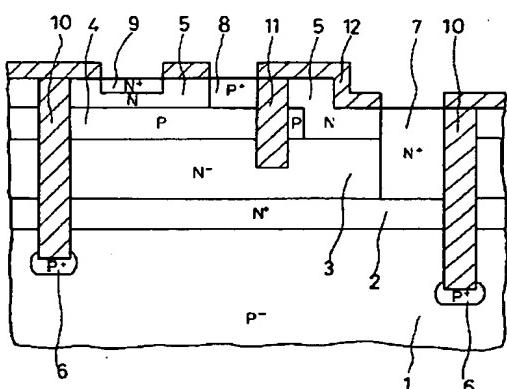
【図6】



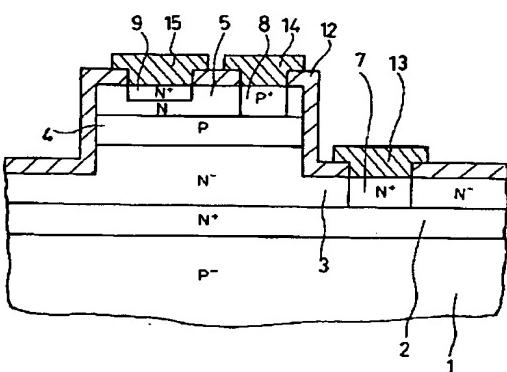
【図7】



【図8】



【図9】



## 【手続補正書】

【提出日】平成4年1月21日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項1

【補正方法】変更

## 【補正内容】

【請求項1】 第1導電型の半導体基板上に第2導電型の埋め込みコレクタ層及びエピタキシャル層が順次積層され、その上に第1導電型のベース層を介して第2導電型のエミッタ層が積層され、上記ベース層のエネルギー・バンドギャップが上記埋め込みコレクタ層、エピタキシャル層及びエミッタ層よりも小さい構造を有する半導体装置において、半導体基板全面に形成された埋め込みコレクタ層及びエピタキシャル層と、該エピタキシャル層表面の一部の領域に形成されたベース層と、該ベース層及び、上記エピタキシャル層の上記ベース層が形成されていない領域に設けられたエミッタ層と、隣接する素子との間に、上記基板表面から上記各層を貫通して設けられた溝型素子分離層と、上記ベース層の一部を含む基板表面領域から上記エピタキシャル層に到る領域にかけて設けられた溝型コレクタ・ベース分離層とを備えたことを特徴とする半導体装置。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項2

【補正方法】変更

## 【補正内容】

【請求項2】 第1導電型の半導体基板上に第2導電型の埋め込みコレクタ層及びエピタキシャル層を順次積層し、その上に第1導電型のベース層を介して第2導電型のエミッタ層を積層し、上記ベース層のエネルギー・バンドギャップが上記埋め込みコレクタ層、エピタキシャル層及びエミッタ層よりも小さい材料のものが用いられた半導体装置を製造する方法において、第1導電型の半導体基板上に第2導電型の高濃度不純物埋め込み層(埋め込みコレクタ層)及び、第2導電型のエピタキシャル層を積層する工程と、上記エピタキシャル層上の所定領域に、上記半導体基板よりもエネルギー・バンドギャップが狭い第1導電型の半導体膜(ベース層)を形成する工程と、上記エピタキシャル層上及び上記ベース層上に、第2導電型の半導体膜(エミッタ層)を形成する工程と、隣接する素子近傍の素子分離領域に上記エミッタ層の表面から上記半導体基板に達する深さの溝型素子分離層を形成する工程と、上記ベース層の少なくとも一部を含むように、上記エミッタ層の表面から上記エピタキシャル層に達する深さの溝型コレクタ・ベース分離層を形成する工

程とを含むことを特徴とする半導体装置の製造方法。

## 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

## 【補正内容】

【0011】以下、図2ないし図8を用いて製造方法について説明する。図2はP<sup>-</sup>型半導体基板1上にN<sup>+</sup>型不純物埋め込み層2と、その上にN<sup>-</sup>型エピタキシャル層3が形成された状態を示す。そして図3に示すように、N<sup>-</sup>型エピタキシャル層3上の予め定められた領域に、P<sup>-</sup>型半導体基板1よりもエネルギー・バンドギャップの狭いP型ベース層4を形成する。

## 【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

## 【補正内容】

【0020】またこの発明における半導体装置の製造方法によれば、ベース層形成領域以外のN<sup>-</sup>型エピタキシャル層上にもN型エミッタ層を形成したので、半導体表面の段差が軽減され、段差部での配線の断線やエッチング残渣がなく、段差上下での形状寸法の差も軽減され、安定で信頼性の高い半導体装置を得ることができるという効果がある。

## 【手続補正5】

【補正対象書類名】図面

【補正対象項目名】図7

【補正方法】変更

## 【補正内容】

## 【図7】

